

【11】證書號數：I840003

【45】公告日：中華民國 113 (2024) 年 04 月 21 日

【51】Int. Cl. : H01L29/778 (2006.01) H01L29/06 (2006.01)
H01L29/20 (2006.01) H01L21/336 (2006.01)

發明

全 11 頁

【54】名稱：高電子遷移率電晶體及其製造方法

【21】申請案號：111147284 【22】申請日：中華民國 111 (2022) 年 12 月 08 日

【72】發明人：曾彥鈞 (TW) TSENG, YEN-CHUN；王資文 (TW) WANG, TZU-WEN；陳權威 (TW) CHEN, CHUAN-WEI

【71】申請人：台亞半導體股份有限公司 TAIWAN-ASIA SEMICONDUCTOR CORPORATION

新竹市力行五路 1 號 10 樓

【74】代理人：林義傑；劉彥宏

【56】參考文獻：

TW 201218376A

TW 201413944A

TW 201824542A

審查人員：于若天

【57】申請專利範圍

1. 一種高電子遷移率電晶體，包括：一基材；一緩衝層，位於該基材上；一通道層，位於該緩衝層上；一第一半導體磊晶結構，位於該通道層上且依序包括一第一氮化鎵鋁層、一供應層及一第二氮化鎵鋁層，該第一半導體磊晶結構形成一鏤空部，且該鏤空部自該第二氮化鎵鋁層之頂面朝該通道層延伸；其中該鏤空部之底面介於該第一氮化鎵鋁層與該供應層之連接面及該第一氮化鎵鋁層與該通道層之連接面之間；一第二半導體磊晶結構，位於該鏤空部內且依序包括一氮化鎵鋁層及一 P 型氮化鎵層；一汲極及一源極，分別設置於該第二氮化鎵鋁層之頂面上；以及一閘極，設置於該 P 型氮化鎵層之頂面上。
2. 如請求項 1 所述之高電子遷移率電晶體，其中該第一半導體磊晶結構之該第二氮化鎵鋁層之頂面及該第二半導體磊晶結構之該 P 型氮化鎵層之頂面不在同一平面上。
3. 如請求項 1 所述之高電子遷移率電晶體，其中該第一半導體磊晶結構之該第二氮化鎵鋁層之頂面及該第二半導體磊晶結構之該氮化鎵鋁層與該 P 型氮化鎵層之連接面不在同一平面上。
4. 如請求項 1 所述之高電子遷移率電晶體，其中該第二半導體磊晶結構之該氮化鎵鋁層與該 P 型氮化鎵層之連接面不高於該第一半導體磊晶結構之該第二氮化鎵鋁層之頂面。
5. 如請求項 1 所述之高電子遷移率電晶體，其中該供應層為一 N 型氮化鎵鋁層。
6. 如請求項 1 所述之高電子遷移率電晶體，其中該第二半導體磊晶結構之該氮化鎵鋁層之厚度為 10nm 至 50nm，且該 P 型氮化鎵層之厚度為 1nm 至 100nm。
7. 一種高電子遷移率電晶體之製造方法，該方法包括：提供一基材；於該基板上形成一緩衝層；於該緩衝層上形成一通道層；於該通道層上形成一第一半導體磊晶結構，其中該第一半導體磊晶結構依序包括一第一氮化鎵鋁層、一供應層及一第二氮化鎵鋁層；針對該第一半導體磊晶結構執行一微影蝕刻製程以形成一鏤空部，其中該鏤空部自該第二氮化鎵鋁層之頂面朝該通道層延伸；其中該鏤空部之底面介於該第一氮化鎵鋁層與該供應層之連接面及該第一氮化鎵鋁層與該通道層之連接面之間；於該鏤空部內形成一第二半

(2)

導體磊晶結構，其中該第二半導體磊晶結構依序包括一氮化鎵鋁層及一 P 型氮化鎵層；於該第二氮化鎵鋁層之頂面分別形成一汲極及一源極；以及於該 P 型氮化鎵層之頂面形成一閘極。

8. 如請求項 7 所述之製造方法，其中於該鏤空部內形成該第二半導體磊晶結構之前，更包括：於該第一半導體磊晶結構上形成一氧化層或一介電材料層；以及移除位於該鏤空部內之該氧化層或該介電材料層。
9. 一種高電子遷移率電晶體之製造方法，該方法包括：提供一基材；於該基板上形成一緩衝層；於該緩衝層上形成一通道層；於該通道層上依序形成一氮化鎵鋁層及一 P 型氮化鎵層；移除部分之該 P 型氮化鎵層，使得剩餘之該 P 型氮化鎵層及位於該 P 型氮化鎵層下方之該氮化鎵鋁層形成一第二半導體磊晶結構；執行一離子佈植製程以於該第二半導體磊晶結構以外之該氮化鎵鋁層內形成一供應層以形成一第一半導體磊晶結構，其中該第一半導體磊晶結構依序包括一第一氮化鎵鋁層、該供應層及一第二氮化鎵鋁層；於該第二氮化鎵鋁層之頂面分別形成一汲極及一源極；以及於該 P 型氮化鎵層之頂面形成一閘極。
10. 如請求項 9 所述之製造方法，其中於執行該離子佈植製程之前，更包括：於該第二半導體磊晶結構上形成一氧化層或一介電材料層。

圖式簡單說明

圖 1 為本發明之高電子遷移率電晶體之第一實施例之示意圖。

圖 2 為本發明之高電子遷移率電晶體之第二實施例之示意圖。

圖 3 為本發明之高電子遷移率電晶體之第三實施例之示意圖。

圖 4 為本發明之高電子遷移率電晶體之製造方法之第一實施例之流程圖。

圖 5 為配合圖 4 之結構製程示意圖。

圖 6 為本發明之高電子遷移率電晶體之製造方法之第二實施例之局部流程圖。

圖 7 為本發明之高電子遷移率電晶體之製造方法之第三實施例之流程圖。

圖 8 為配合圖 7 之結構製程示意圖。

圖 9 為本發明之高電子遷移率電晶體之製造方法之第四實施例之局部流程圖。

(3)

1

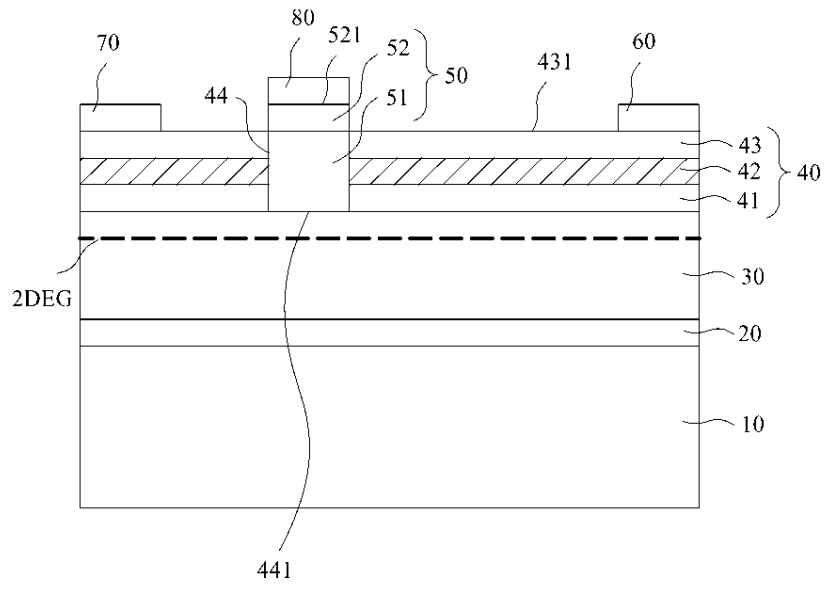


圖 1

(4)

1a

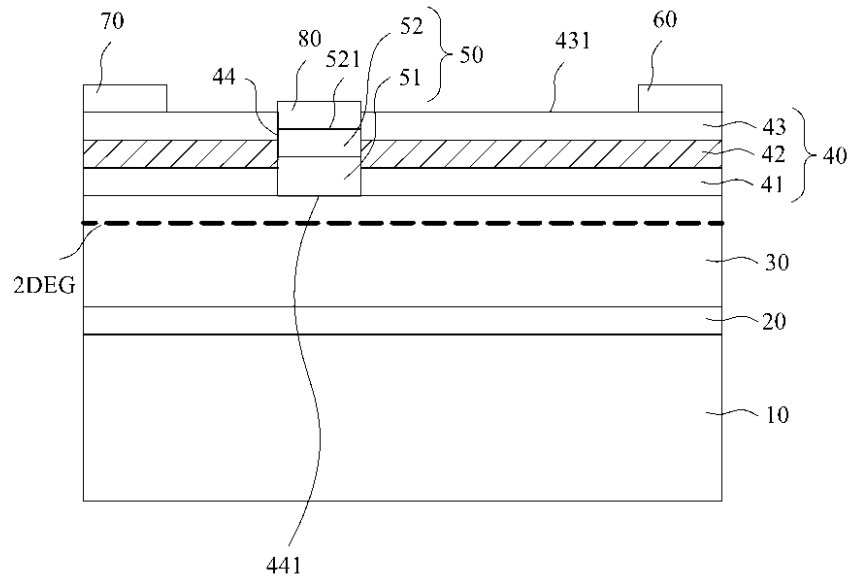


圖 2

(5)

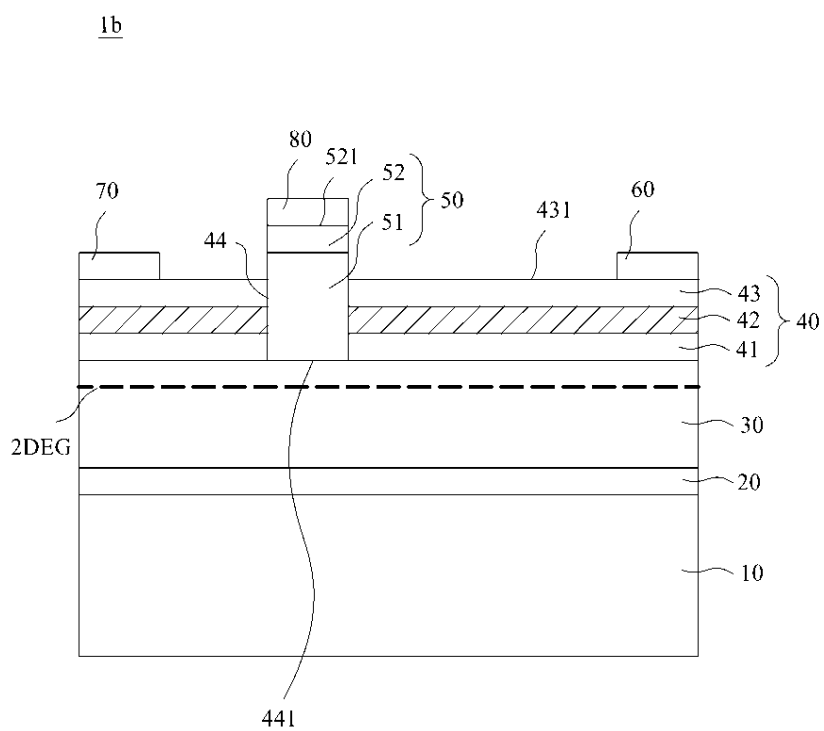


圖 3

(6)

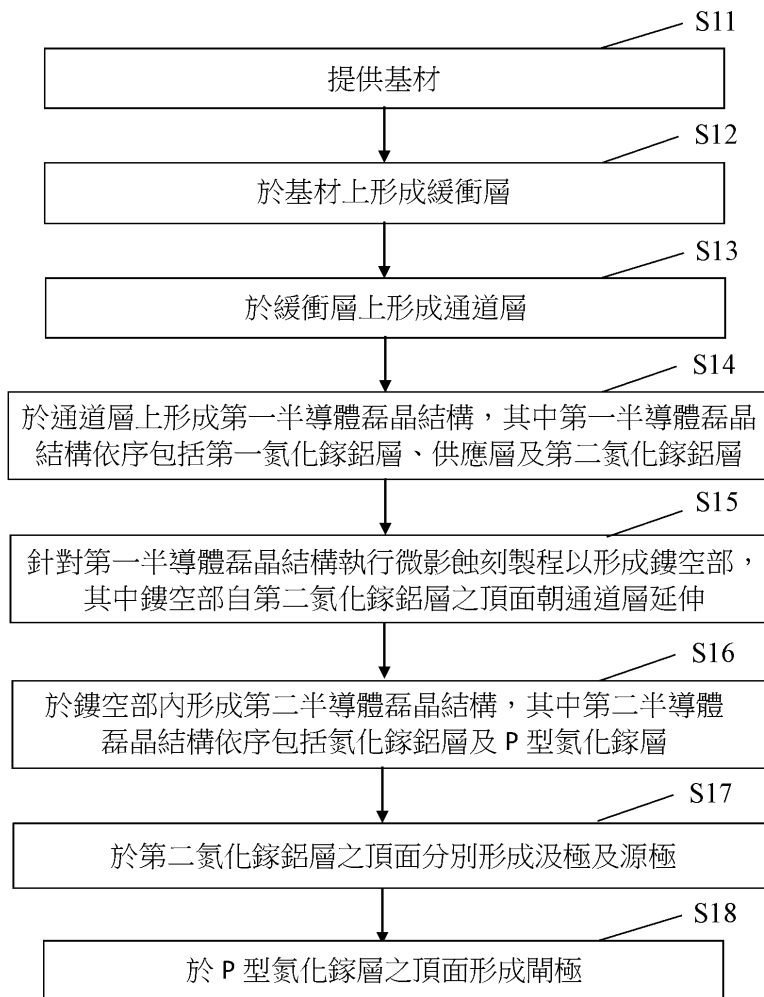


圖 4

(7)

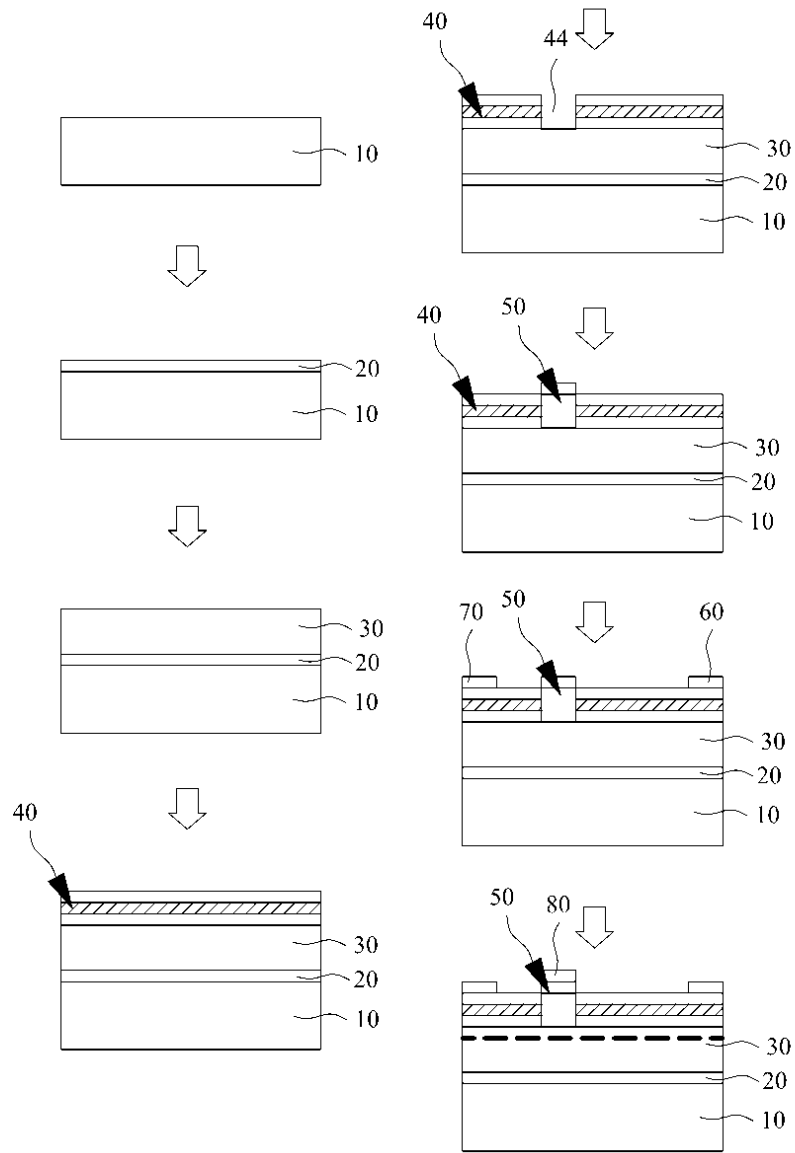


圖 5

(8)

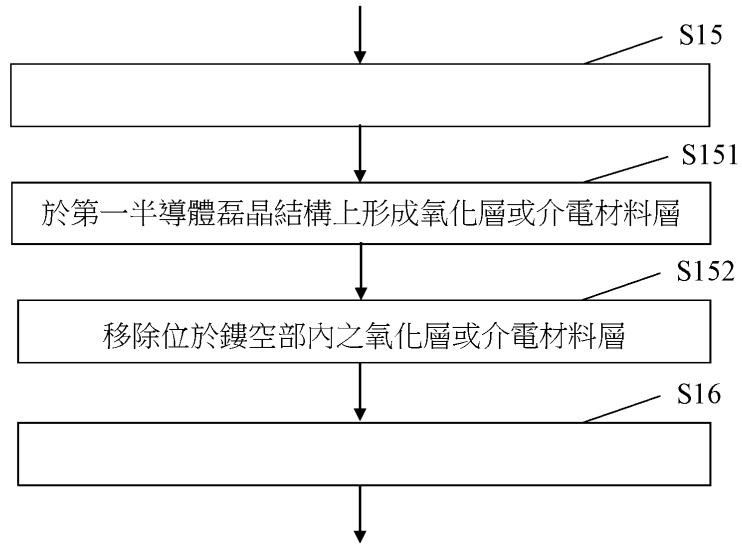


圖 6

(9)

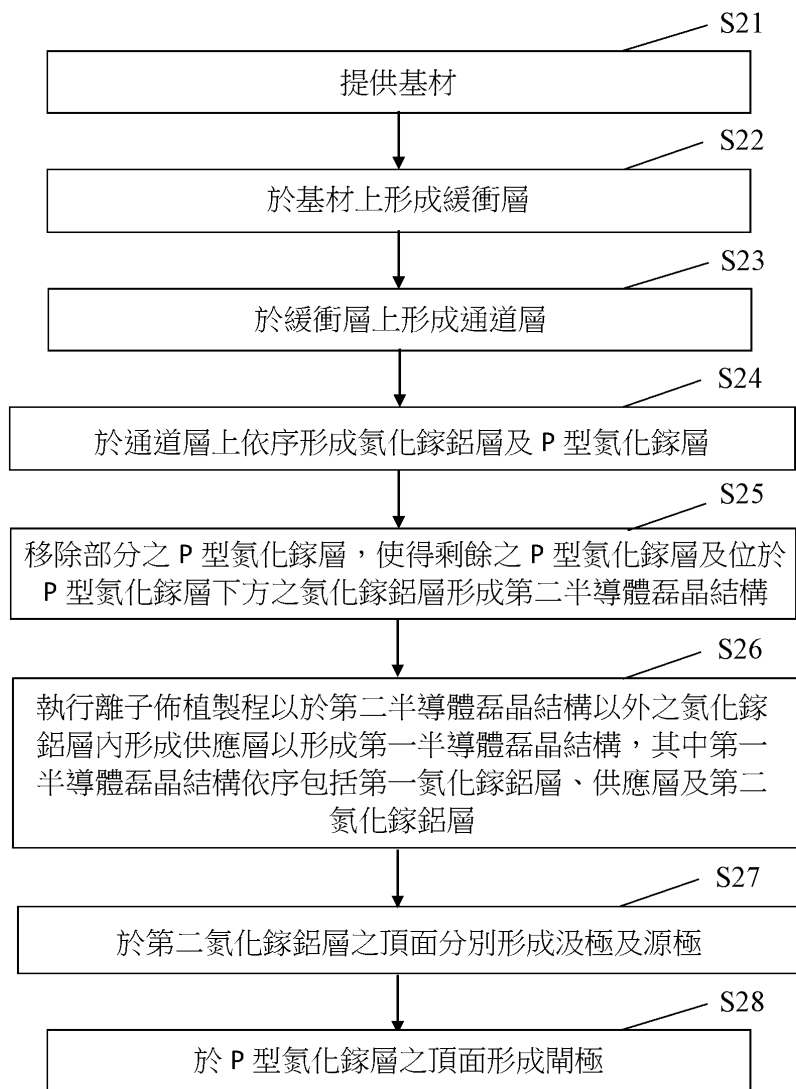


圖 7

(10)

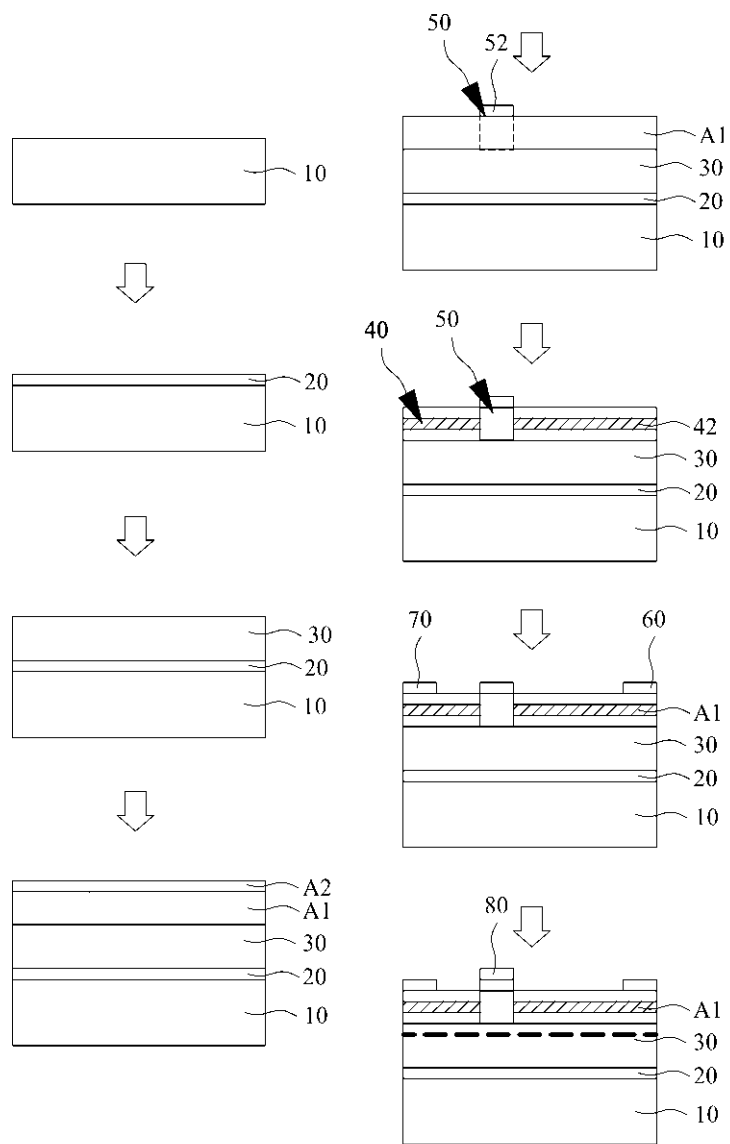


圖 8

(11)

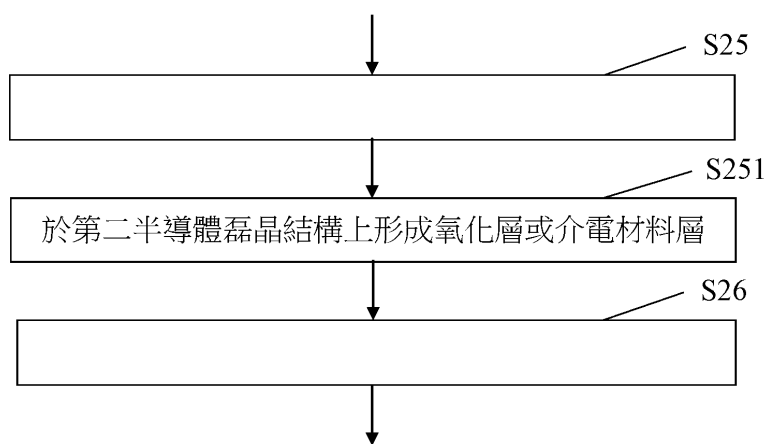


圖 9